

Resyncmodul V2 „JIMI“ 1kanalig DC – 2GHz

Dokumentation

1 Versionsgeschichte

Datum	Version	Änderung	Seite
14.07.2011	1.0	Ursprungsversion	1
18.07.2011	1.1	Allgemeine Erweiterungen	alle
03.01.2018	2.0	Änderung auf einkanalige Version	alle
15.01.2017	2.1	Frontseite	6

2 Inhalt

Resyncmodul V2 „JIMI“ 1kanalig DC – 2GHz.....	1
Dokumentation	1
1 Versionsgeschichte	1
2 Inhalt	1
3 Übersicht.....	2
3.1 Blockschaltbild.....	2
3.2 Änderungen gegenüber Version 1.....	2
3.3 Aufbau.....	3
3.4 Jumperstellungen (siehe Bestückungsplan).....	3
3.5 Leistungsaufnahme	4
3.6 Frequenzbereich.....	4
3.7 Delay, gemessen bei 32MHz mit HP8133A.....	4
3.8 Metastabilität / Race Conditions am Eingang	5
3.9 Frontseite, Ein- Ausgänge, Bedienelemente	6
3.10 Eingangsstufe – Simulation/Optimierung	7
4 Phasenrausch-/Jittermessungen vom 08. & 14.07.2011	9

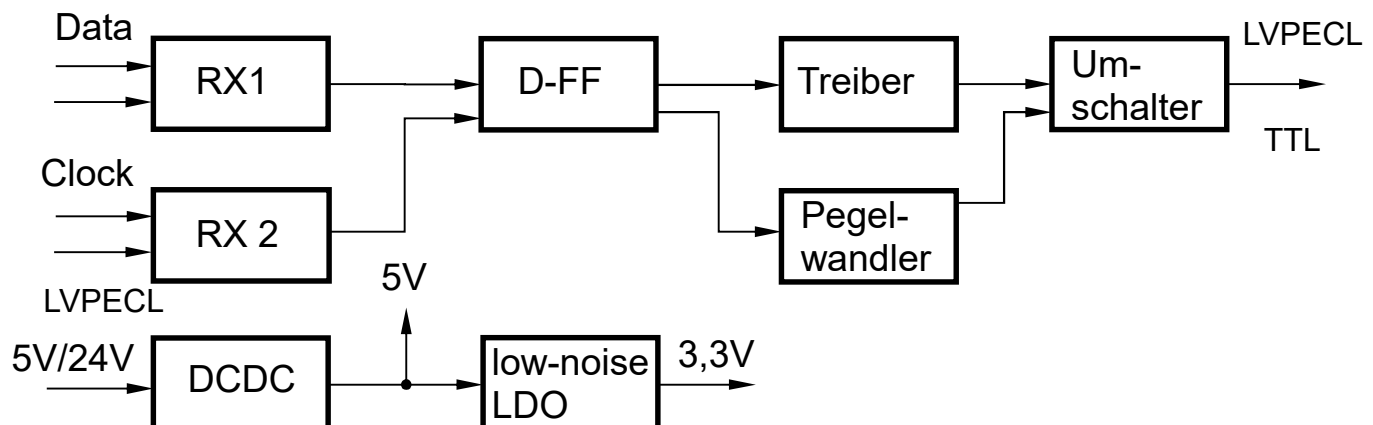
3 Übersicht

Das Resyncmodul V2 „JIMI“ dient zur Resynchronisation eines digitalen Signals mit einem digitalen Eingangstakt mittels eines differentiellen D-Flipflops. Das Modul ist einkanalig ausgelegt.

Wesentliche Merkmale sind:

- Jitterverringern bei beliebigen, digitalen Signalen, vorzugsweise Triggersignalen
→ Jitter Minimiser „JIMI“
- Resynchronisation der Daten bis 1,5GHz (LVPECL) bzw. 120MHz (TTL)
mit Clock bis 2GHz
- keine Abhängigkeit vom Takt-/Datendelay
- niedriges Phasenrauschen/Jitter
- sehr kleiner Metastabilitätsbereich (Unsicherheitsbereich bei fast gleichzeitigen Takt-/Datenflanken)
- umschaltbare Ausgänge LVPECL / TTL
- Betrieb alternativ mit 24V möglich (Verzicht auf externes DC-Wandlermodul)
- Einschub für 19“-Baugruppenträger, Standardbreite 6TE (30mm)

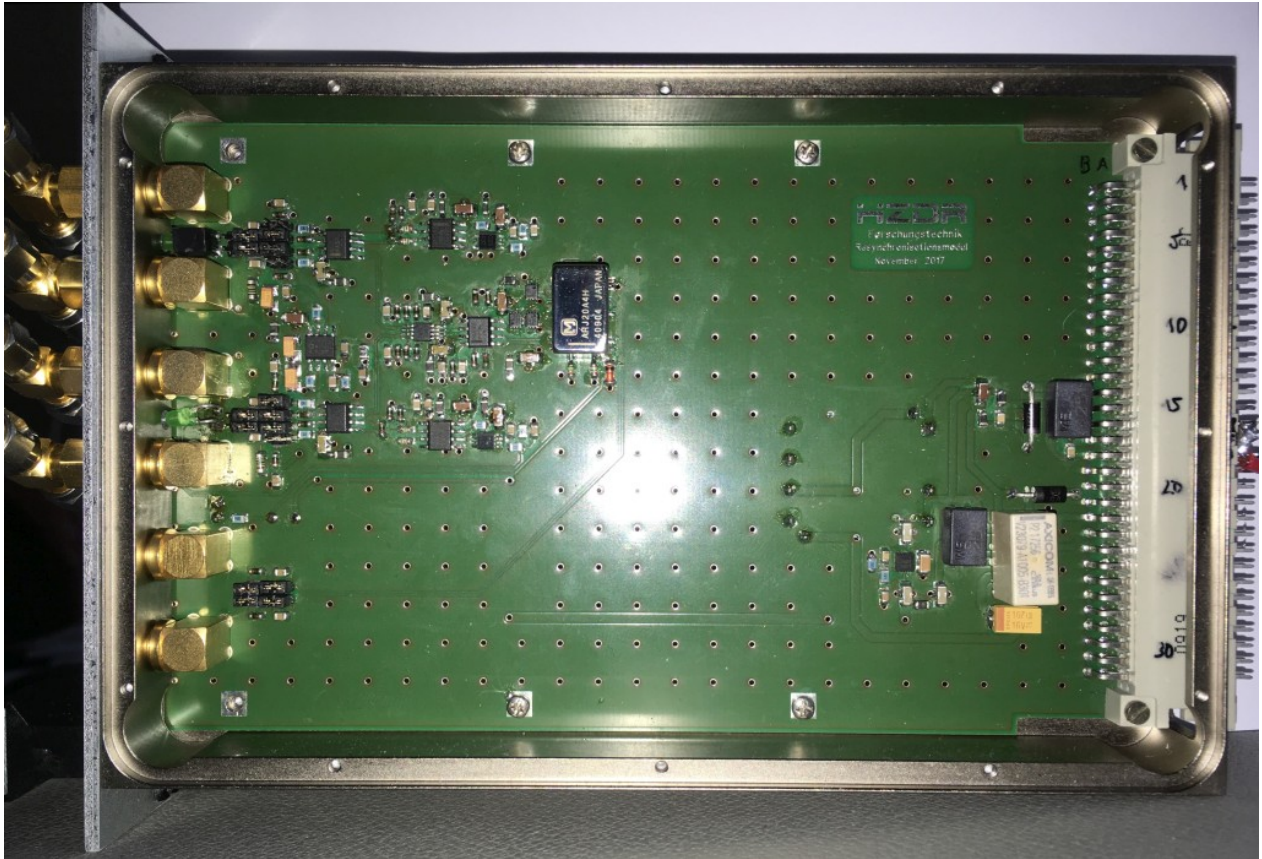
3.1 Blockschaubild



3.2 Änderungen gegenüber Version 1

- Ausgänge LVPECL / TTL umschaltbar statt parallel
- Beschränkung auf 1 Kanal
- interne Betriebsspannung sehr rauscharm, um zusätzliches betriebsspannungsinduziertes Phasenrauschen zu minimieren
- modernere ICs für höhere Betriebsfrequenzen

3.3 Aufbau



3.4 Jumperstellungen (siehe Bestückungsplan)

Die Jumperstellungen sind nur für Kanal 1 angegeben, gelten entsprechend auch für den Takteingang sowie für Kanal 2.

Nr.	Eingang		X5	X6	X7	X11	X12	X17	X15	daisy chain	chain end	uni	diff	50Ω term.	DC	AC
	Data	Clk														
1		X	X	X	X	O	X	X		•	•			•	•	
2		X	X	X	X	O	O	X		•	•				•	
3		O	O	O	X	X	X	X			•	•		•		•
4		X	O	O	X	O	O	X		•		•				•
	Ausgang															
		X20/X21	X22/X23													
5		X	X												•	
6		X	O											•	•	
7		O	X													•
8		O	O											•		•

O offen
 X geschlossen

Die Eingangspegel bei DC-Kopplung am Eingang sind auf eine Thresholdspannung von 2,0V terminiert. Bei 400mVpp Signal darf die Offsetspannung 1,75V bis 2,25V betragen. Bei Eingangssignalen mit Flankensteilheiten **>10V/μs** kann unter Nutzung der AC-Kopplung ein nahezu beliebiger Offset dem Eingangssignal überlagert sein (< ±25V).

3.5 Leistungsaufnahme

Betriebsspannung	= 24,0V (18V ... 36V) oder 5V \pm 5% automatisch umschaltend
Gesamtstromaufnahme	= 0,14A +/-0,02A im Leerlauf (ohne Ein-/Ausgangssignal) = 0,16A +/-0,03A CLK = 240MHz Data = 120MHz TTL, terminiert mit 50 Ohm
Leistungsaufnahme	= 3,3VA ... 4,5 VA

Die Strom-/Leistungsaufnahme ändert sich geringfügig mit der Eingangsfrequenz und der angeschlossenen Last.

3.6 Frequenzbereich

Aufgrund von Dämpfung der sehr steilen internen Taktflanken (NB6L11: typ. 75ps) (ab einer bestimmten Eingangsfrequenz auch deren Amplitude) auf den differentiellen Leiterzügen der Leiterplatte sinken die internen Eingangsspiegel am Resynchronisations-D-Flipflop (CLK- und D-Eingang). Das ist unabhängig vom Eingangsspiegel des Gesamtmoduls.

Im Labor lassen sich folgende maximalen störungsfreien Eingangsfrequenzen messen:

Kanal 1: ~3,00GHz

Kanal 2: ~1,95GHz

3.7 Delay, gemessen bei 32MHz mit HP8133A

	Jumper Eingang	D-Eingang D-FF	C-Eingang D-FF	Q-Ausg. D-FF	Ausgangstreiber	Jumper Ausgang	Ausgang
Kanal 1	X5/X11	R127/R128	R124/R125	R10/R11	R1/R12	X2/X25	OUT1
ns	9,71	10,02	10,07	10,54	10,98	11,09	12,04
Kanal 2	X22/X24	R34/R66	R19/R18	R68/R36	R79/R78	X39/X41	OUT2
ns	9,19	9,77	9,89	10,35	10,77	10,90	11,80

Aus der Differenz zwischen Ausgang und Eingang ergibt sich das Gesamtdelay.

Das Zeitverhalten zwischen CLK und D-Eingang war so eingestellt, dass gerade noch eine eindeutige Datenübernahme des D-FF mit der CLK-Flanke stattfand, demnach die Setup-Zeit auf ein Minimum reduziert war.

Für **Kanal 1** ergibt sich ein Gesamtdelay zwischen Ein- und Ausgangsbuchse von: **2,33ns**.

Für **Kanal 2** ergibt sich: **2,61ns**.

Das Gesamtdelay ändert sich nicht bei Änderungen der Setup-Zeit am D-Eingang gegenüber dem CLK-Eingang, soweit mit dem DPO7054 messbar.

Δ Delay < \pm 10ps bei Δ CLK \pm 15ns

3.8 Metastabilität / Race Conditions am Eingang

Der Bereich des zeitlichen Abstandes zwischen Taktflanke und Änderung des Datensignals (Setup- und Hold-Zeit) ist extrem von der Qualität der Eingangssignale abhängig (Pegel, Flankensteilheit und Amplituden-/Phasenrauschen).

Mit dem Funktionsgenerator Tektronix AFG3252 lassen sich bei 13MHz Taktfrequenz mit 400mVpp Amplitude im Bereich $\pm 1^\circ$ Phasenverschiebung des Datensignals gegenüber dem Takt keine sauberen Ausgangssignale erzielen. Das entspricht ± 214 ps. 1600mVpp Amplitude führen zu einem Unsicherheitsbereich von $\pm 0,4^\circ$.

Der Generator HP8133A dagegen erlaubt je nach Ausgangspegel zusammen mit dem Resyncmodul bis herunter zu ± 16 ps Flankenabstand Takt/Daten.

Generator	Frequenz [MHz]	Pegel [mVpp]	Flankensteilheit [ps]	min. Flankenabstand Daten \rightarrow Takt [ps]
AFG3252	13 / 26	400	~ 2500	± 214
		1600	~ 2500	± 85
HP8133A	13 / 26	100	~ 60	± 500
		400	~ 60	± 26
		800	~ 60	± 16
		1600	~ 60	± 16

Auf den Einsatz zweier kaskadierter D-FF zur Vermeidung von Metastabilität wurde bewusst verzichtet, um das Delay gering zu halten. Wie die obige Tabelle zeigt, ist im Normalfall der Bereich, in dem durch CLK- und D-Signal- Zeitgleichheit metastabile Zustände auftreten können, sehr klein. Des Weiteren könnte die D-FF-Kaskadierung im fraglichen Bereich die unsichere Datenübernahme nicht verhindern und würde evtl. stabile zeitliche Bedingungen der CLK- und D-Signale vortäuschen. Im Zweifelsfall ist die zeitliche Lage der steigenden Flanken zueinander mit z.B. einem geeigneten Oszilloskop zu prüfen.

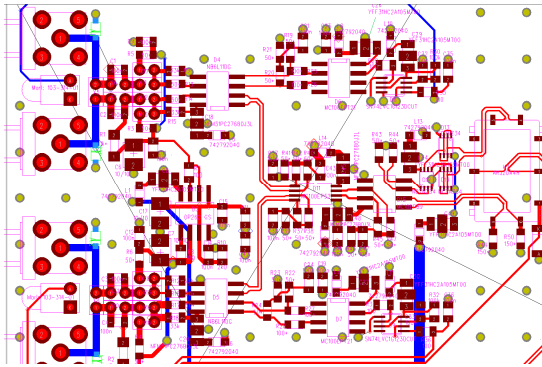
Die maximale Performance ist nur mit „guten“ Eingangssignalen erzielbar:

- das Taktsignal soll niedriges Phasenrauschen aufweisen,
- sowohl Takt- als auch Datensignal sollen hohe Flankensteilheit aufweisen,
- die setup-Zeit ist entsprechend obiger Tabelle einzuhalten.

3.9 Frontseite, Ein- Ausgänge, Bedienelemente

Bauteil	Frontplatte	Erläuterung
X1	DIN	Dateneingang
LED H1	Data	Datenpulse liegen an
X2	/DIN	Dateneingang invertiert
X3	CLKIN	Takteingang
LED H2	CLK	Taktpulse liegen an
X4	/CLKIN	Takteingang invertiert
LED H3	TTL	Ausgangspegel LVPECL TTL
X25	OUT	Ausgang
X26	/OUT	Ausgang invertiert
Schalter	Level	Umschaltung LVPECL / TTL

3.10 Eingangsstufe – Simulation/Optimierung



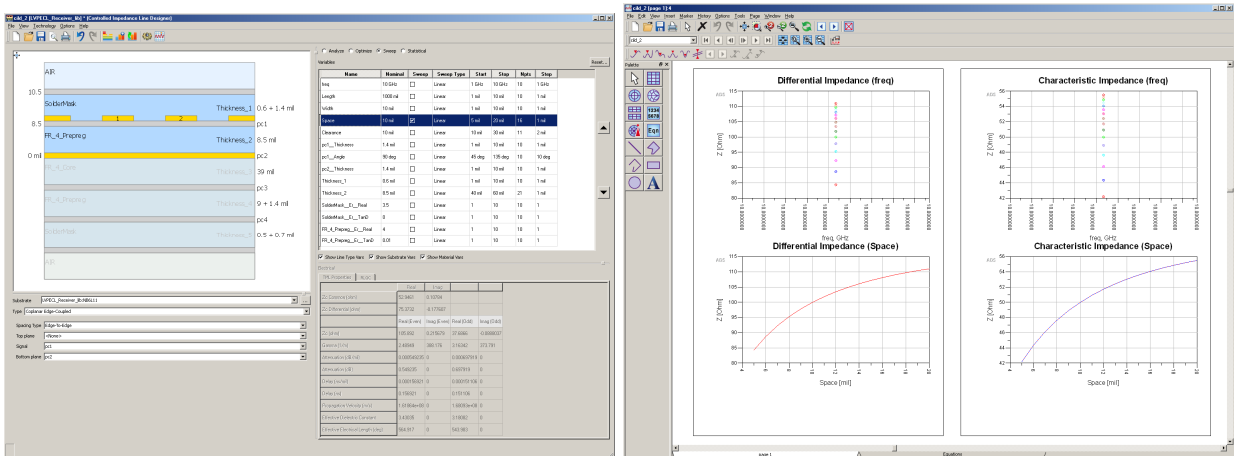
Coplanar Waveguide Analysis/Synthesis Calculator

L_s R_s C_s G_s

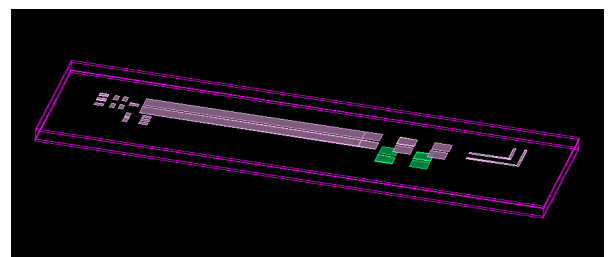
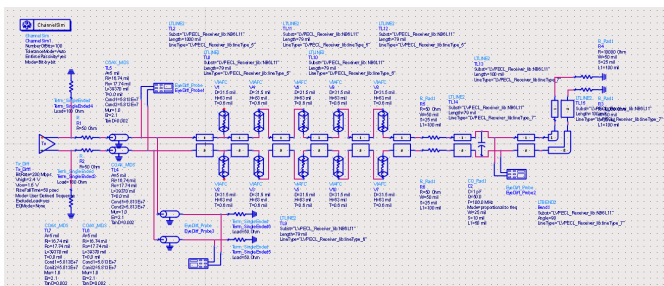
Input 3: 50 Ohm			
$L_s =$	0.30954	[mm]	
$R_s =$	54.198	[mOhm]	
$C_s =$	0.123397	[pF]	
$G_s =$	95.3608	[uS]	
$Z_0 =$	50.00047 + j0	[Ohm]	
Loss =	0.647423	[dB]	
Loss/Tot =	0.0054891	[dB]	
Skin depth =	0.000871228	[mm]	
Delay =	0.15698	[ps]	
End correction =	0	[mm]	
Corrected length =	1000	[mm]	

Metal width (W) 10 [mm]
 Metal spacing (S) 12 [mm]
 Trace length (L) 25.4 [mm]
 Metal thickness (Tmet) 0.7 [mm]
 Metal resistivity (RHO) 2e-08 [Ohm] [m]
 Metal surface roughness (ROUGH) 0.001 [mil] [-ms]
 Substrate thickness (H) 0 [mm]
 Substrate relative dielectric constant (E0) 4.7
 Substrate loss tangent (tan(d)) 0.01
 Frequency 10 [GHz]
 Characteristic Impedance 50 [Ohm]
 Electrical Length 369.120 [degrees]

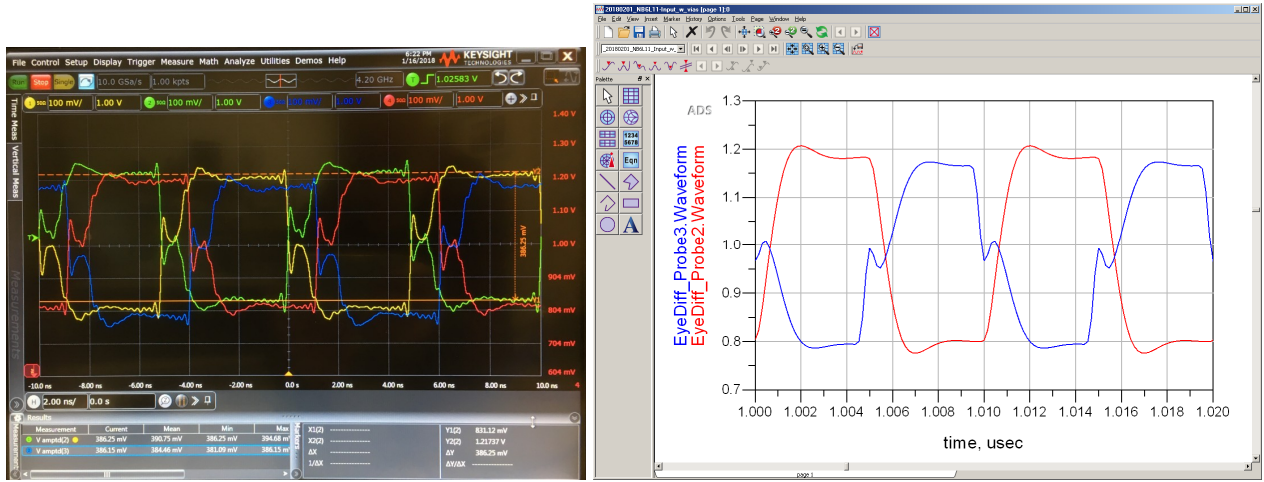
im Resynclayout wegen steiler Schaltflanken (<100ps) (differentielles) HF-Layout wichtig
 → Problem: Jumperanordnungen und Ankopplung Receiver-ICs
 verschiedene analytische Rechenwerkzeuge für Striplines etc.
 für CPWG Coplanar Waveguide with GND wird allgemein FEM verwendet
 Büchner: analytische Lösung?
 → anscheinend unterschiedliche Ergebnisse



ADS kann zusätzlich parametrisch optimieren
 → systematische Lösungsfindung wird unterstützt, hier für CPWG



- Schaltplan ist umfangreich; unklar, ob diese Auslegung korrekt ist
- Layout noch nicht verstanden: Vias, Bauelemente, Bibliotheken, setup für korrekte Momentum-Simulationen...



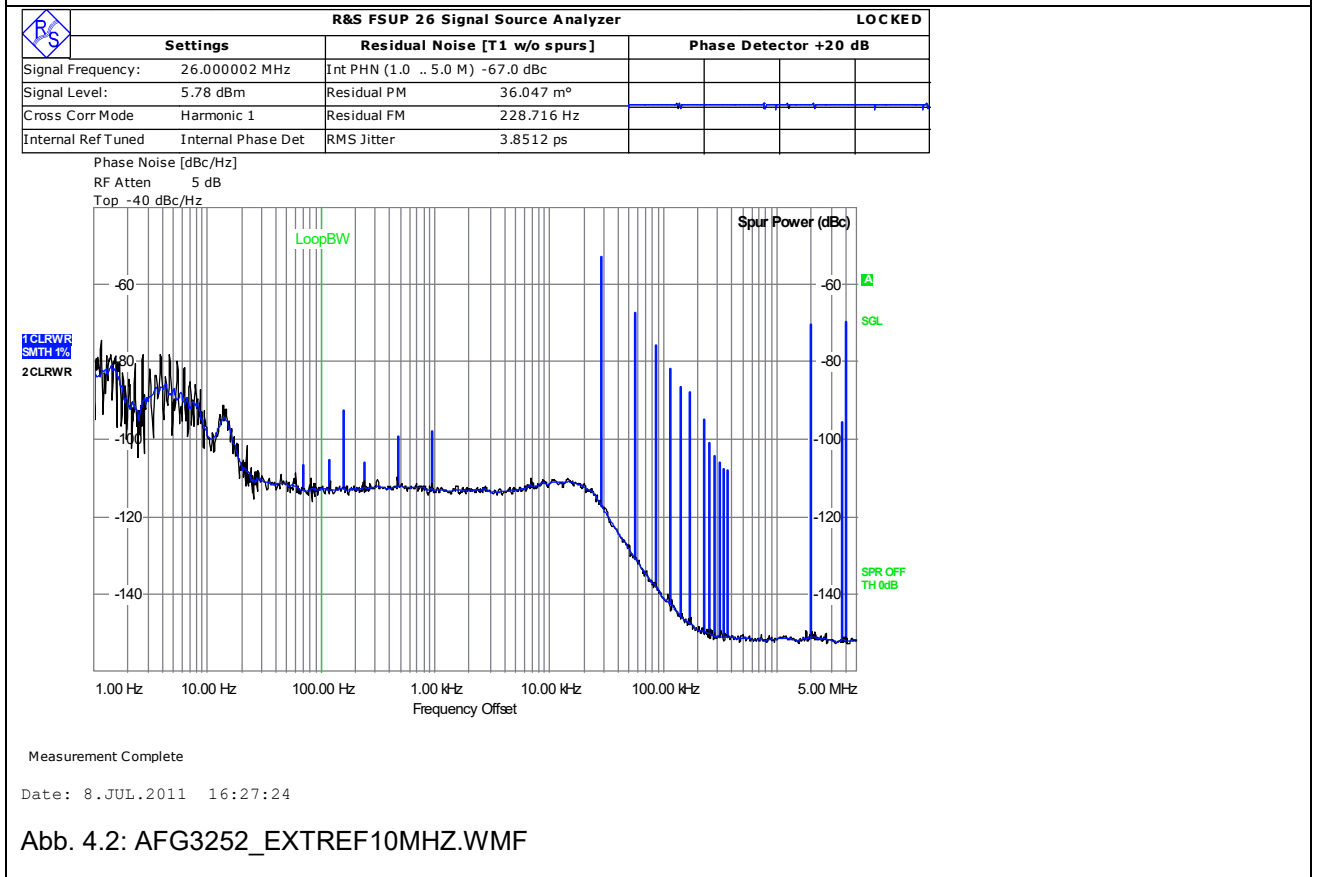
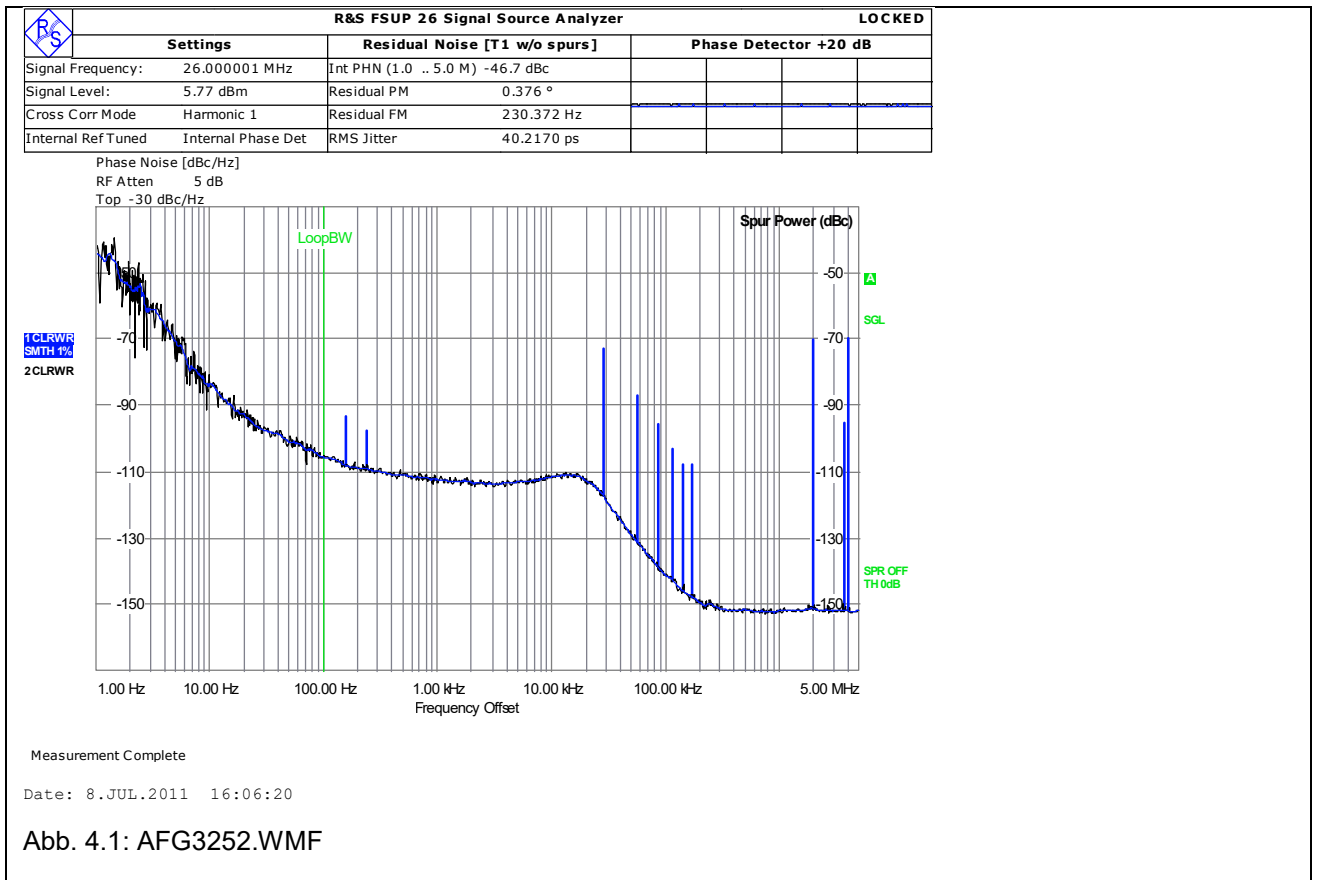
- ➔ ADS kann zumindest hier die Situation gut abbilden
- ➔ gute Voraussetzung, um korrektes, reflexions-/störungsarmes Layout zu generieren

4 Phasenrausch-/Jittermessungen vom 08. & 14.07.2011

Anordnung:

Quarzoszillator Nr. 2: 13MHz → PLL Nr. 2: 26MHz → Resyncmodul → FSUP

1. Referenzmessungen der verwendeten Funktionsgeneratoren



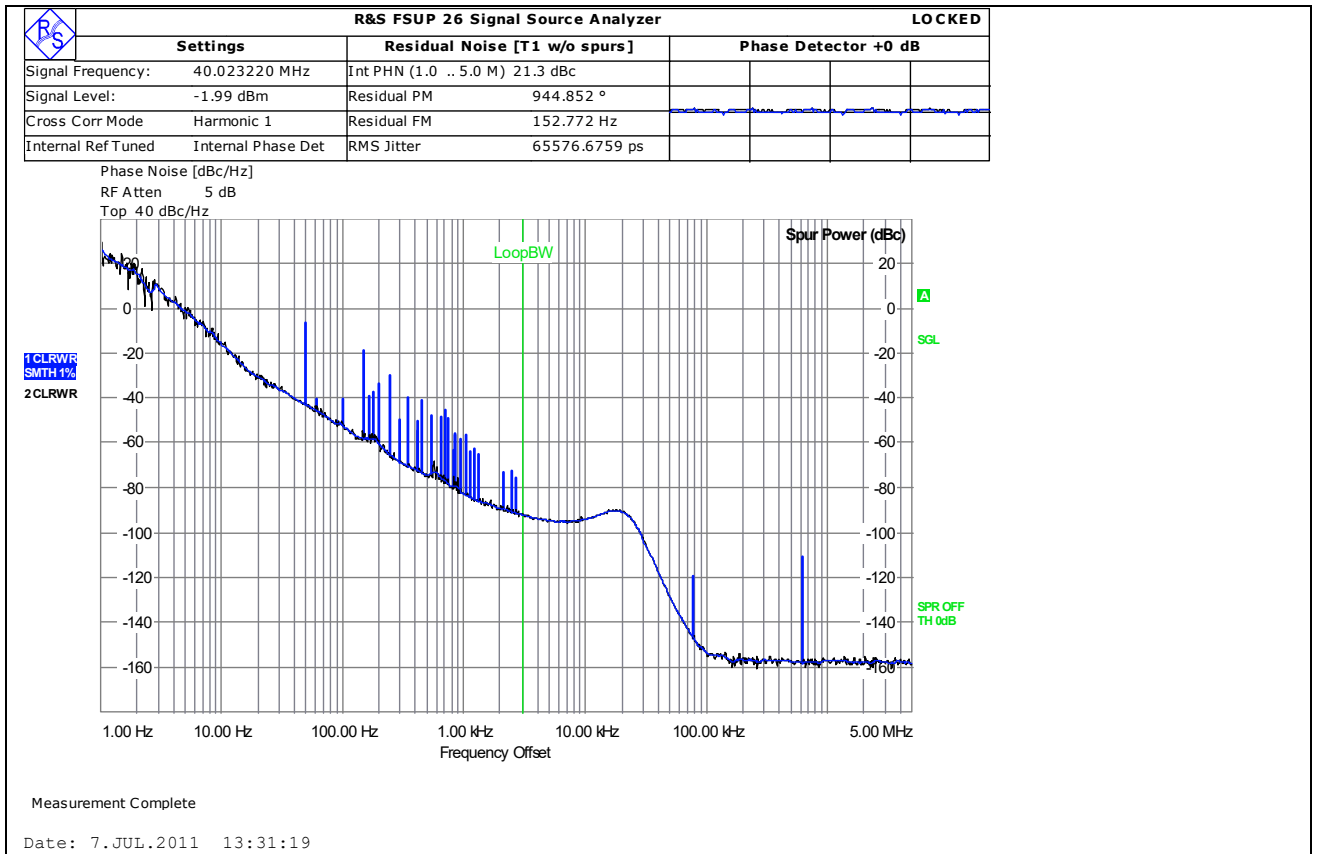


Abb. 4.3: 8133A_40MHZ_400MV.WMF

Keine 13MHz-Messung möglich, da niedrigste Frequenz im standalone-Betrieb 40MHz.

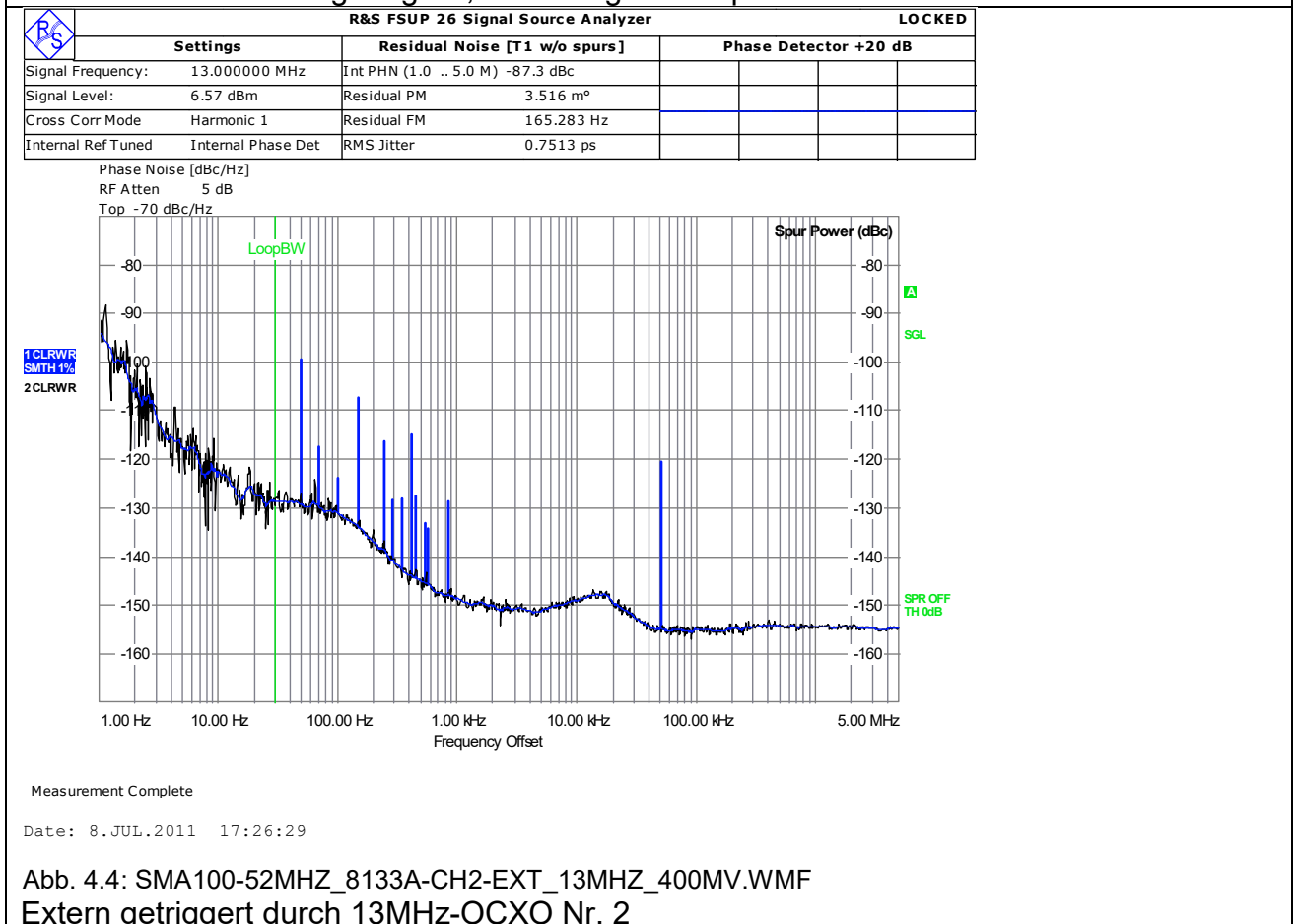


Abb. 4.4: SMA100-52MHZ_8133A-CH2-EXT_13MHZ_400MV.WMF

Extern getriggert durch 13MHz-OCXO Nr. 2

2. Referenzmessungen des verwendeten Quarzoszillators

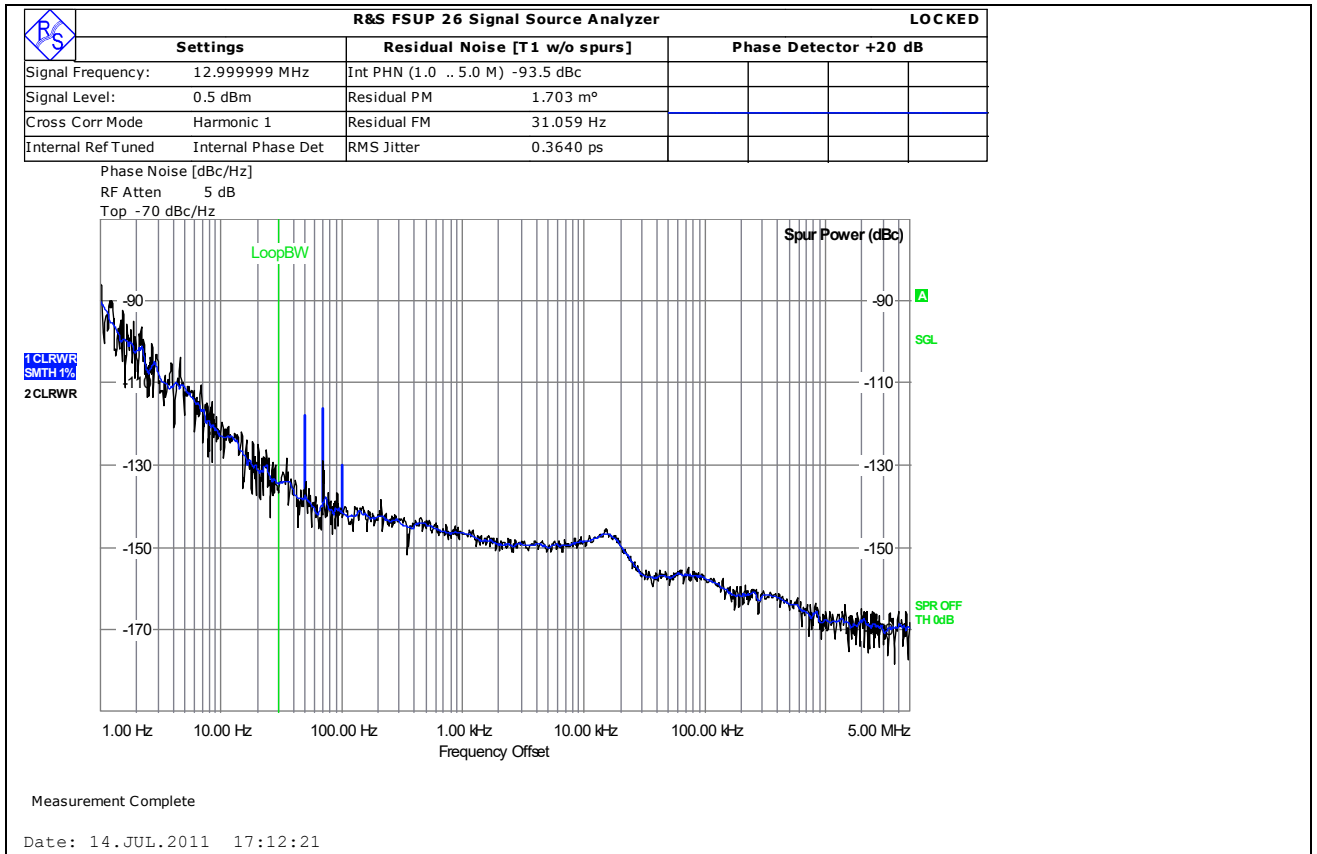


Abb. 4.5: 13_MHZ_OCXO2_0DBM.WMF
Messung am 0dBm-Ausgang

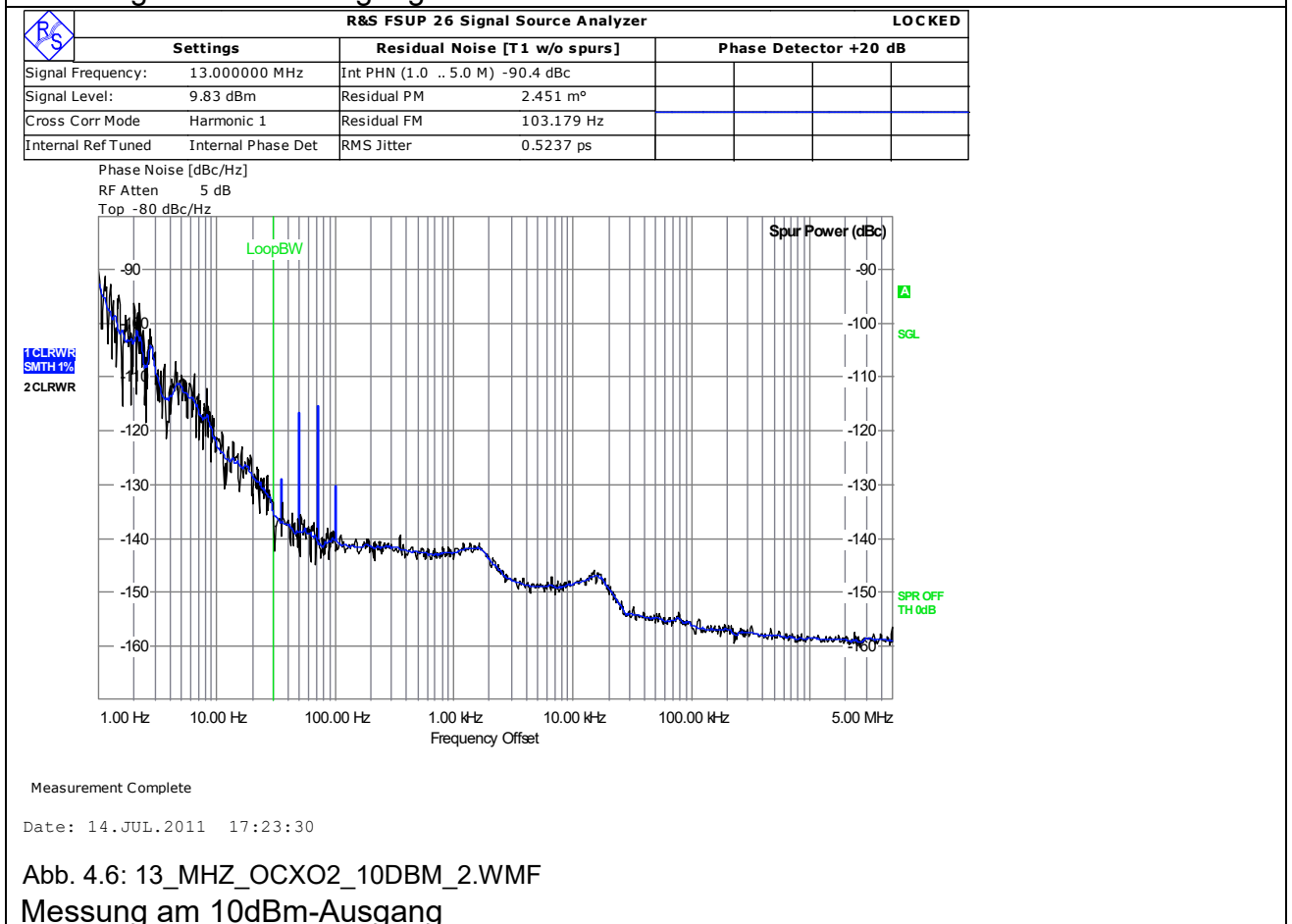
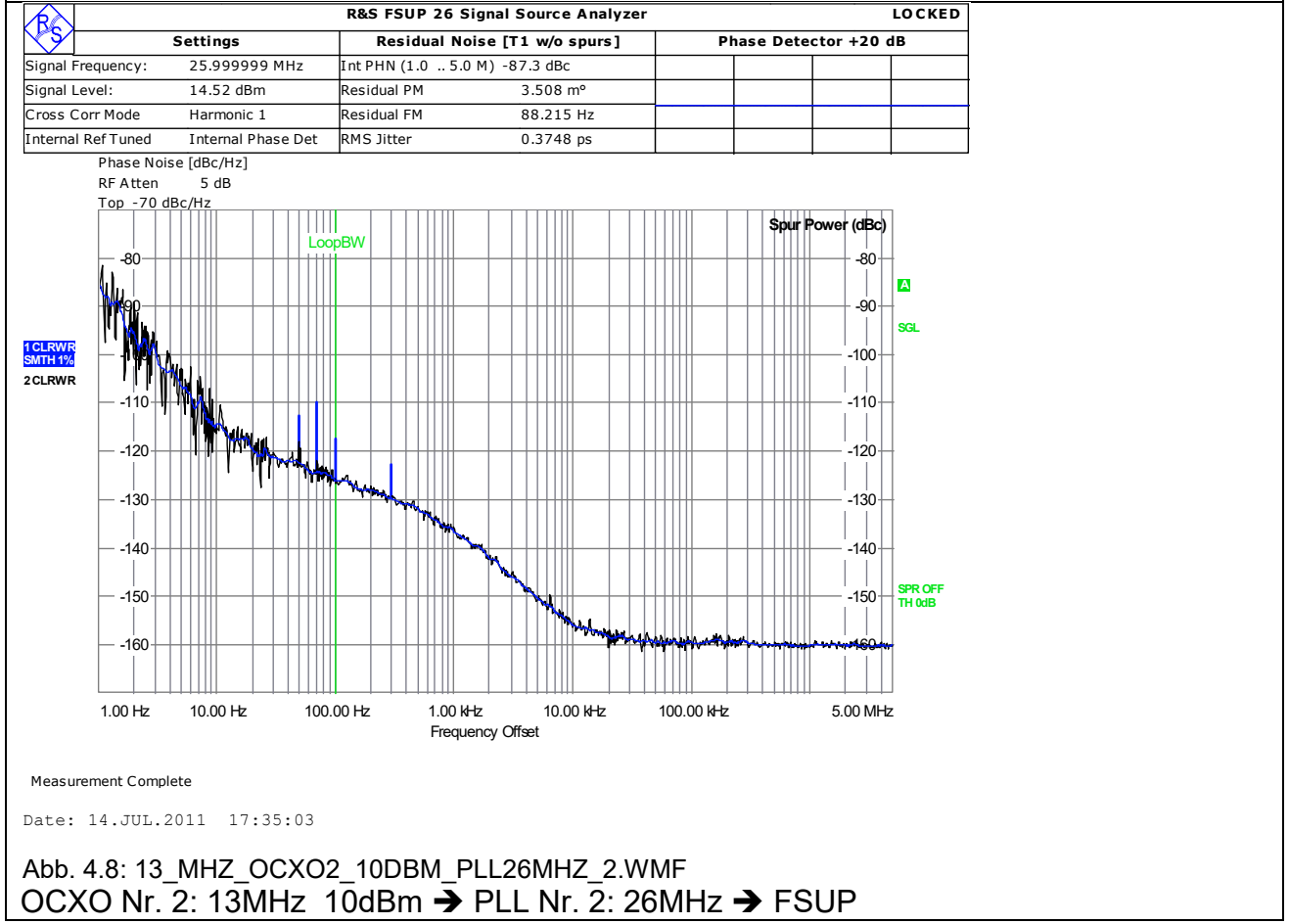
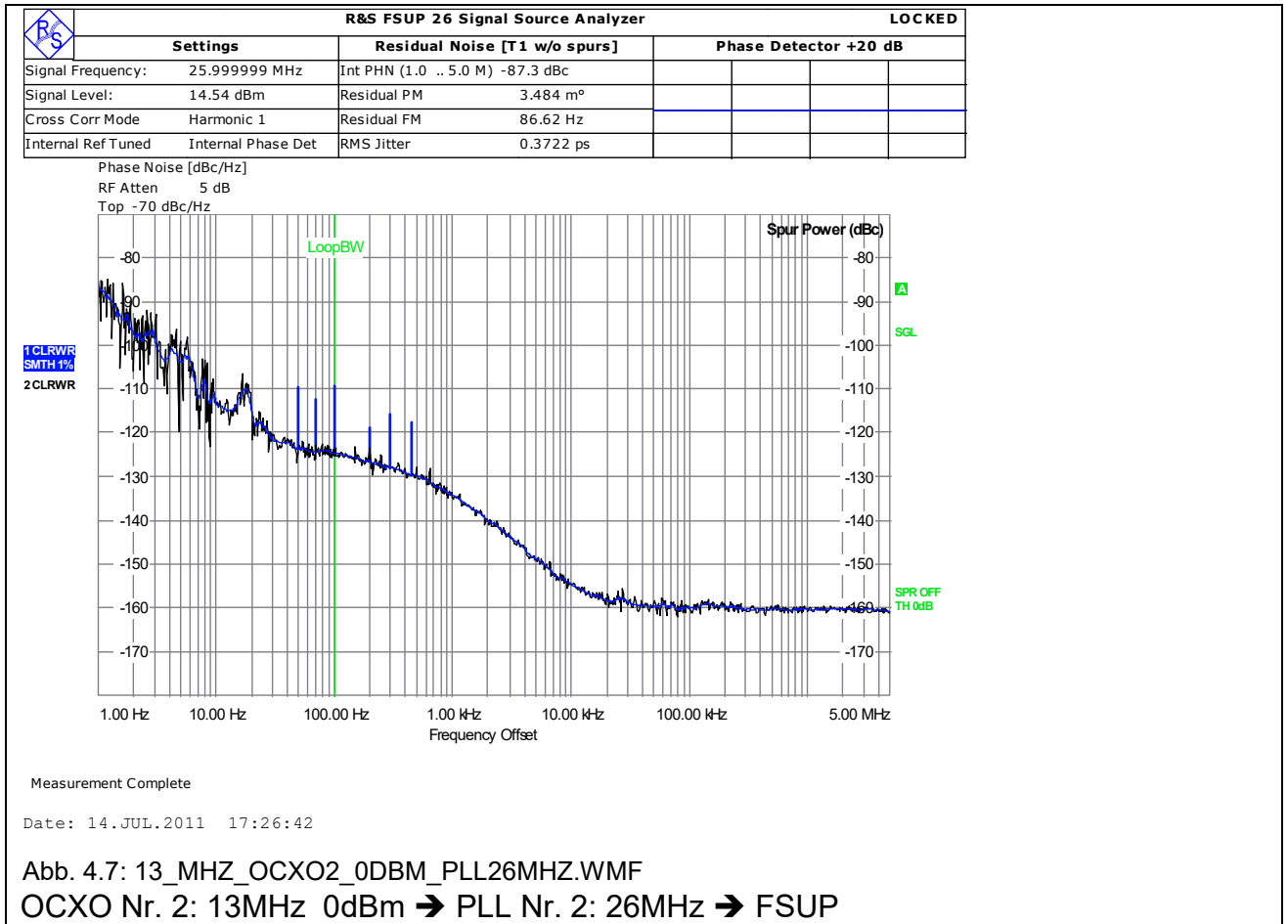


Abb. 4.6: 13_MHZ_OCXO2_10DBM_2.WMF
Messung am 10dBm-Ausgang

3. Referenzmessungen Quarzoszillator mit 26MHz-PLL



4. Messungen Quarzoszillator – 26MHz-PLL – Resync-Modul

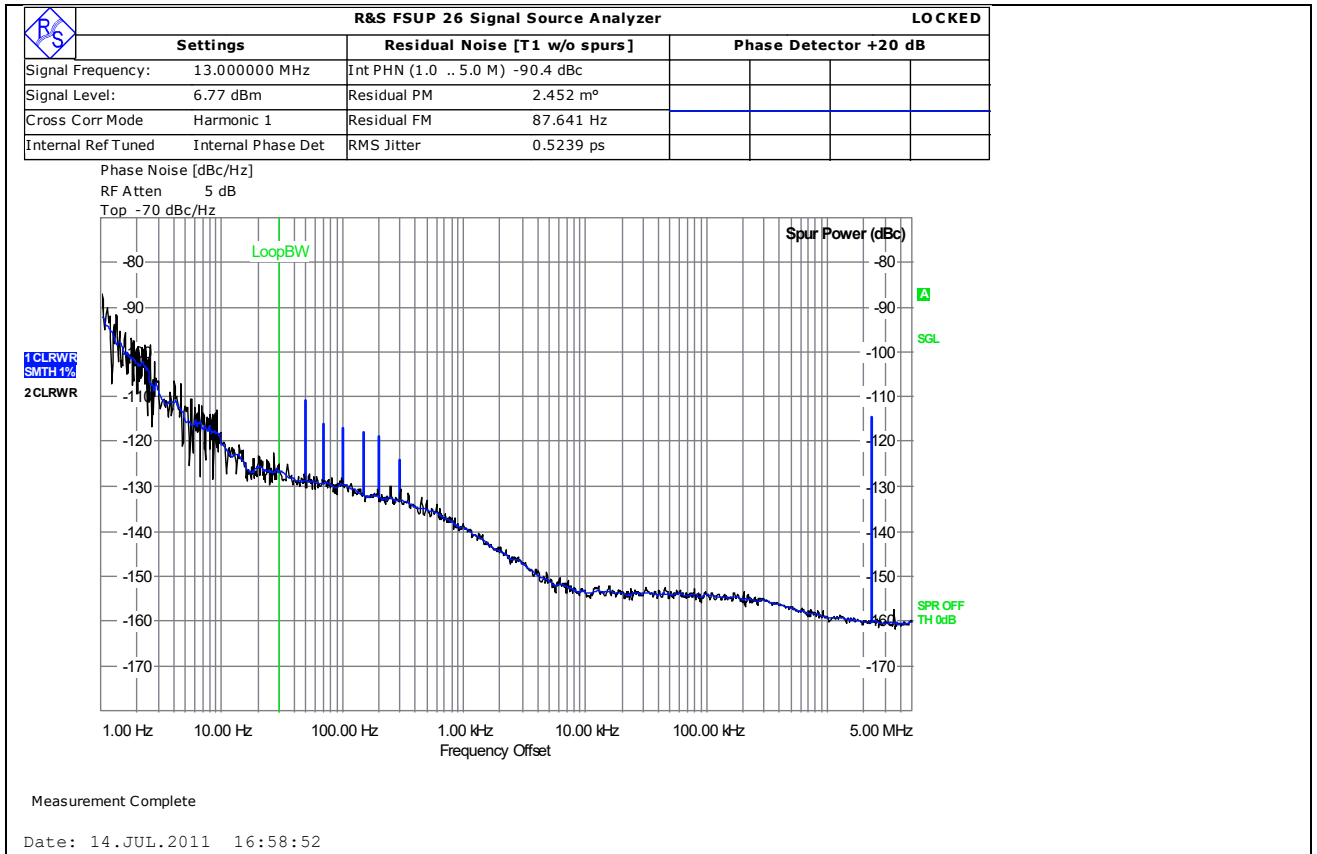


Abb. 4.9: 13_MHZ_OCXO_0DBM_PLL26MHZ_10DBM_RESYNC_2.WMF
OCXO Nr. 2: 13MHz 0dBm → PLL Nr. 2: 26MHz → 10dBm Resync → FSUP

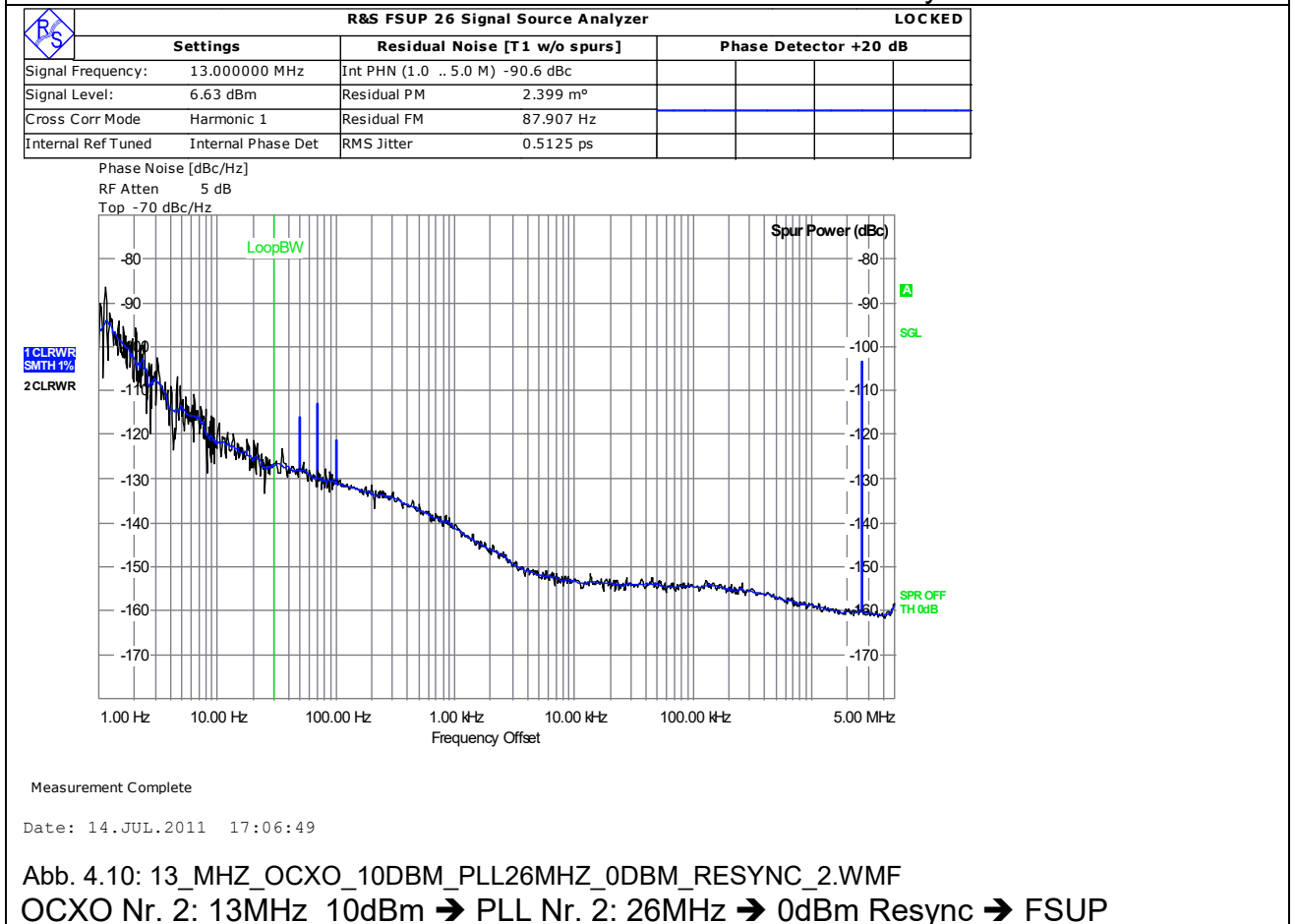


Abb. 4.10: 13_MHZ_OCXO_10DBM_PLL26MHZ_0DBM_RESYNC_2.WMF
OCXO Nr. 2: 13MHz 10dBm → PLL Nr. 2: 26MHz → 0dBm Resync → FSUP

5. Messungen Quarzoszillator – 26MHz-PLL – Synchronsteiler – Resync-Modul

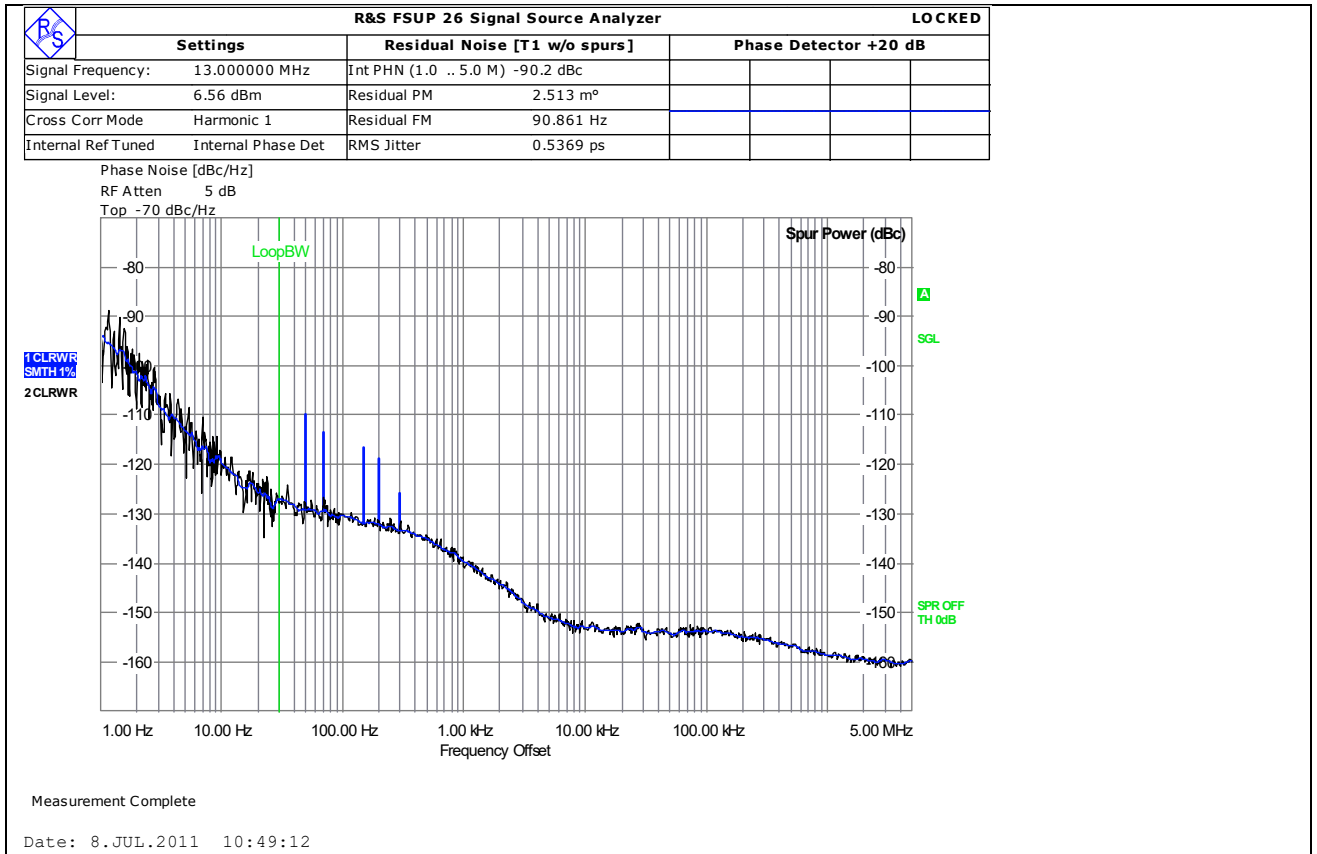


Abb. 4.11: 13MHZ-OCXO_26MHZ-PLL_SYNCTEIL24V-1_RESYNC24V_CH1.WMF
Mit vorgeschaltetem Synchronsteiler: Teilverhältnis 2:1

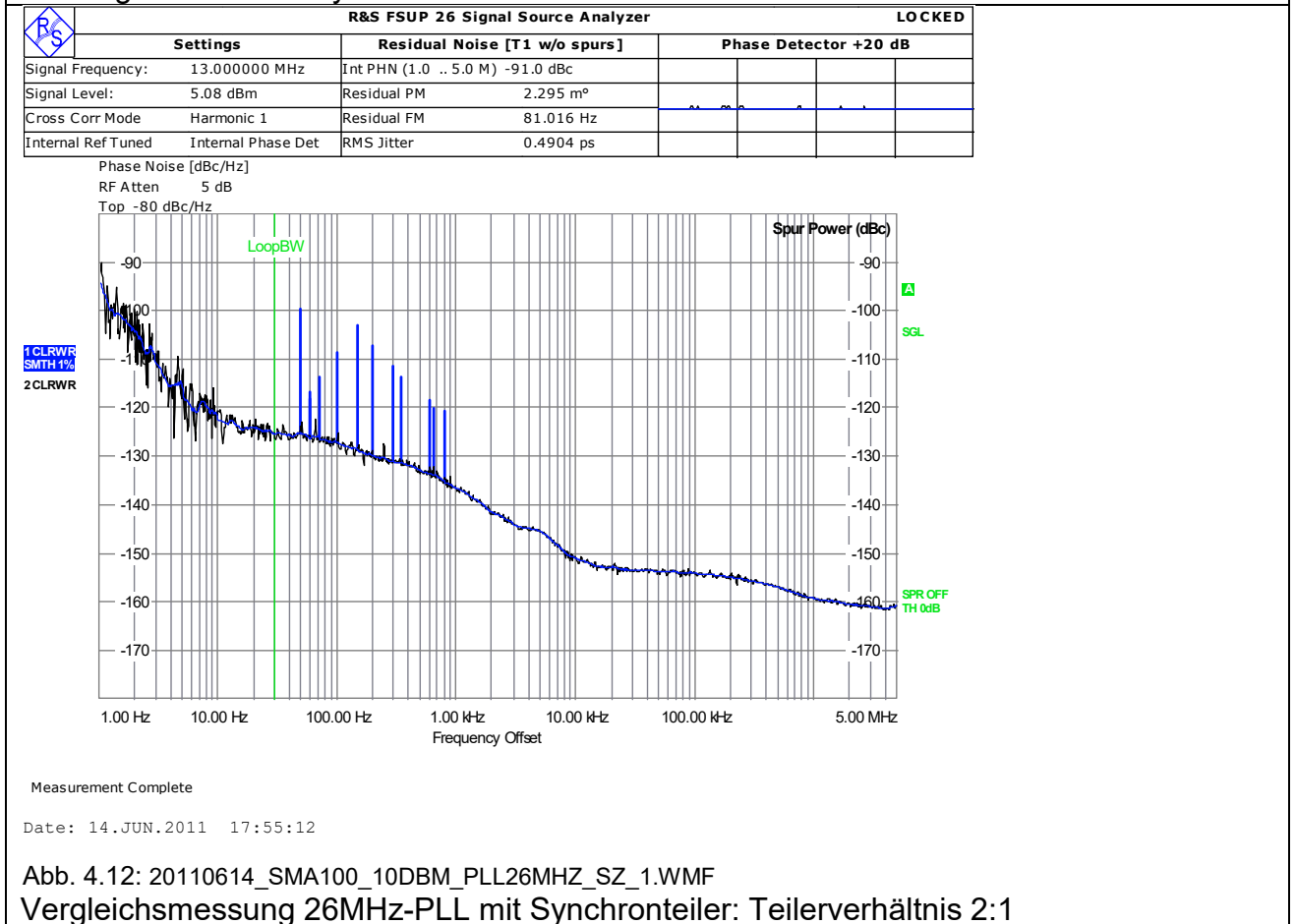


Abb. 4.12: 20110614_SMA100_10DBM_PLL26MHZ_SZ_1.WMF
Vergleichsmessung 26MHz-PLL mit Synchronsteiler: Teilverhältnis 2:1

Settings		Residual Noise [T1 w/o spurs]		Phase Detector +20 dB	
Signal Frequency:	6.500000 MHz	Int PHN (1.0 .. 500.0 k)	-96.7 dBc		
Signal Level:	6.7 dBm	Residual PM	1.185 m°		
Cross Corr Mode	Harmonic 1	Residual FM	2.593 Hz		
Internal Ref Tuned	Internal Phase Det	RMS Jitter	0.5063 ps		

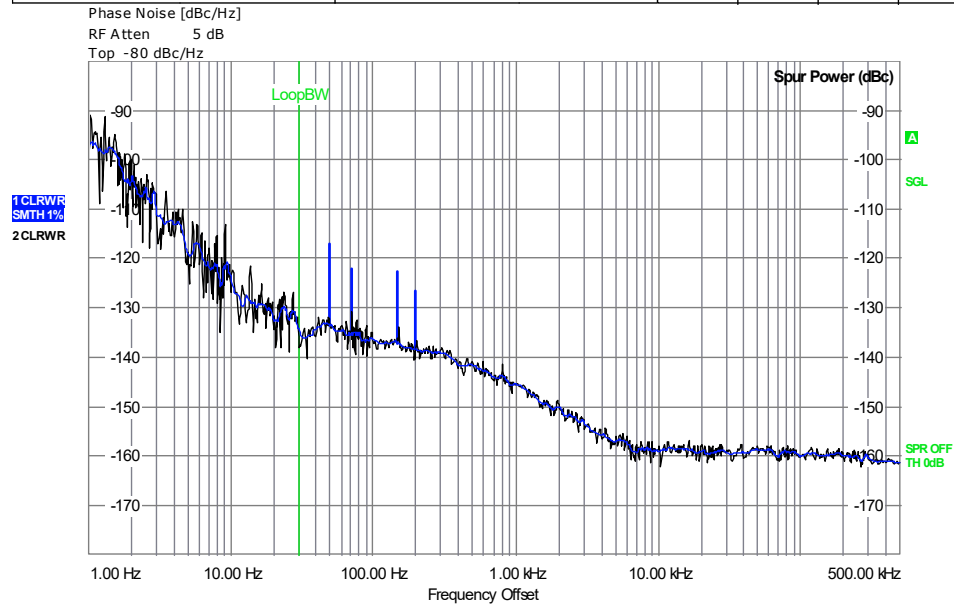


Abb. 4.13: 13MHZ-OEXO_26MHZ-PLL_SYNCTEIL24V-2_RESYNC24V_CH1.WMF
Mit vorgeschaltetem Synchronsteiler: Teilverhältnis 4:1

Settings		Residual Noise [T1 w/o spurs]		Phase Detector +20 dB	
Signal Frequency:	6.500000 MHz	Int PHN (1.0 .. 500.0 k)	-97.2 dBc		
Signal Level:	5.19 dBm	Residual PM	1.118 m°		
Cross Corr Mode	Harmonic 1	Residual FM	2.717 Hz		
Internal Ref Tuned	Internal Phase Det	RMS Jitter	0.4778 ps		

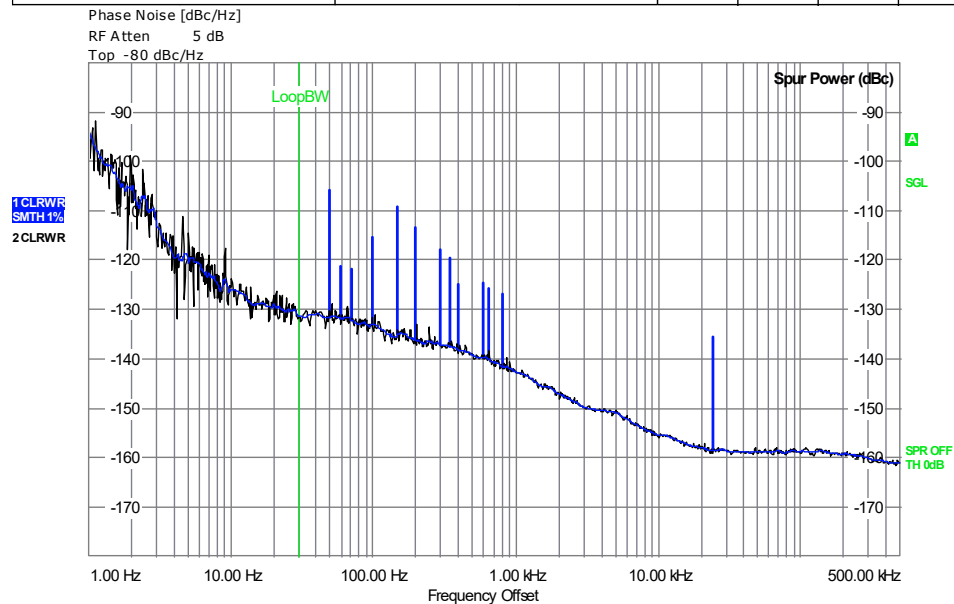


Abb. 4.14: 20110614_SMA100_10DBM_PLL26MHZ_SZ_2.WMF
Vergleichsmessung 26MHz-PLL mit Synchronsteiler: Teilverhältnis 4:1

